

METHOD AND DEVICE FOR TERMINATION CONTROL FOR CURRENT DRIVE CIRCUIT

Patent number: JP7135513

Publication date: 1995-05-23

Inventor: YAMAMOTO KANTA; OHARA KATSUICHI

Applicant: FUJITSU LTD

Classification:

- International: H04L25/02; H03K19/0175; H03K19/086; H04B3/02

- european:

Application number: JP19940172433 19940725

Priority number(s): JP19940172433 19940725; JP19930231661 19930917

Also published as:

US 5523703 (A1)

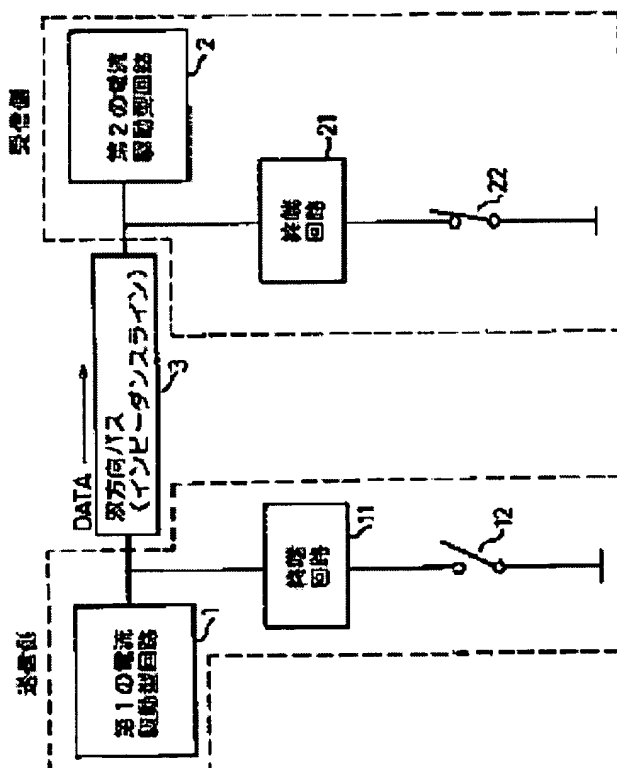
G B2282035 (A)

DE 4433143 (A1)

Report a data error here

Abstract of JP7135513

PURPOSE: To transfer the current drive signal with a normal amplitude by connecting only a termination circuit at a receiver side in the case of 2-way transmission reception and disconnecting termination circuits other than the termination circuit at the receiver side so as to avoid the reduction in an impedance of an output stage of the current drive circuit. **CONSTITUTION:** When a current drive signal is sent from a 1st current drive circuit 1 and a signal sent by a 2nd current drive circuit 2 is received, a switch means 22 is on-controlled to connect only a termination circuit 21 at a receiver side and a switch means 12 is off-controlled to disconnect a termination circuit 11 other than the termination circuit of the receiver side. Thus, the termination circuit 21 is connected to the receiver side (final termination part) of an outputted current drive signal (ECL signal) and the termination circuit 11 is disconnected at the sender side of the current drive signal (other than the final termination part). Thus, the reduction in the impedance of the output stage of the current drive circuit is avoided and data are transferred with a normal amplitude.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135513

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 25/02	R	9199-5K		
H 0 3 K 19/0175				
19/086				
H 0 4 B 3/02		4229-5K		
		8839-5J		
			H 0 3 K 19/ 00	1 0 1 Q
			審査請求 未請求	請求項の数30 O L (全 13 頁)

(21) 出願番号 特願平6-172433

(22) 出願日 平成6年(1994)7月25日

(31) 優先権主張番号 特願平5-231661

(32) 優先日 平5(1993)9月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 山本 幹太

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 大原 克一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

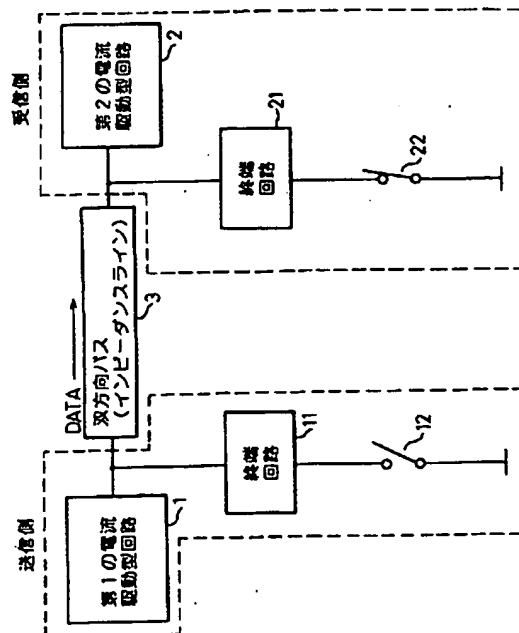
(54) 【発明の名称】 電流駆動型回路の終端制御方法および装置

(57) 【要約】

【目的】 ECL信号およびPCML信号等の電流駆動型信号を双方向で送受信する電子回路全般における電流駆動型回路の終端制御方法および装置に関し、電流駆動型回路の出力段のインピーダンス低下をなくし、正常な振幅による電流駆動型信号の伝達を行わせることを目的とする。

【構成】 電流駆動型の信号の受け渡しを双方向に行う3電流駆動型回路の終端制御方法であって、第1の電流駆動型回路1から前記電流駆動型信号を送信して第2の電流駆動型回路2で前記送信された信号を受信する場合、該受信側における終端回路21だけを接続し(22)、該受信側の終端回路以外の終端回路11を切り離す(12)ように構成する。

本発明に係る電流駆動型回路の終端制御装置の原理構成を示すブロック図



【特許請求の範囲】

【請求項 1】 電流駆動型の信号の受け渡しを双方向に行う (3) 電流駆動型回路の終端制御方法であって、第 1 の電流駆動型回路 (1) から前記電流駆動型信号を送信して第 2 の電流駆動型回路 (2) で前記送信された信号を受信する場合、該受信側における終端回路 (21) だけを接続し (22)、該受信側の終端回路以外の終端回路 (11) を切り離す (12) ようにしたことを特徴とする電流駆動型回路の終端制御方法。

【請求項 2】 前記電流駆動型信号は ECL 信号であり、且つ、前記電流駆動型回路は ECL 回路であることを特徴とする請求項 1 の電流駆動型回路の終端制御方法。

【請求項 3】 前記電流駆動型信号は PCML 信号であることを特徴とする請求項 1 の電流駆動型回路の終端制御方法。

【請求項 4】 前記終端回路の接続および切り離し制御を、トランジスタを使用して行うようにした請求項 1 の電流駆動型回路の終端制御方法。

【請求項 5】 前記電流駆動型信号を受信する第 2 の電流駆動型回路は 1 つであり、前記第 1 の電流駆動型回路から該 1 つの第 2 の電流駆動型回路に該電流駆動型信号を伝達する場合、当該 1 つの第 2 の電流駆動型回路における終端回路だけを接続するようにしたことを特徴とする請求項 1 の電流駆動型回路の終端制御方法。

【請求項 6】 前記第 2 の電流駆動型回路における終端回路の接続を、該第 2 の電流駆動型回路が有するメモリのリード信号もしくはライト信号をラッチしてアクティブ領域を延ばした信号により制御するようにしたことを特徴とする請求項 5 の電流駆動型回路の終端制御方法。

【請求項 7】 前記電流駆動型信号を受信する第 2 の電流駆動型回路は複数であり、前記第 1 の電流駆動型回路から該複数の第 2 の電流駆動型回路に該電流駆動型信号を伝達する場合、当該複数の第 2 の電流駆動型回路における各終端回路をそれぞれ接続するようにしたことを特徴とする請求項 1 の電流駆動型回路の終端制御方法。

【請求項 8】 前記複数の第 2 の電流駆動型回路における各終端回路を、1 つの終端制御部により制御するようにしたことを特徴とする請求項 7 の電流駆動型回路の終端制御方法。

【請求項 9】 前記終端回路の接続を制御する終端制御信号を、該終端回路が設けられている電流駆動型回路の動作を制御する動作制御信号から生成するようにしたことを特徴とする請求項 1 の電流駆動型回路の終端制御方法。

【請求項 10】 前記終端制御信号を、該終端回路が設けられている電流駆動型回路の動作を制御する動作制御信号と同一の信号としたことを特徴とする請求項 9 の電流駆動型回路の終端制御方法。

【請求項 11】 前記終端制御信号を、前記電流駆動型

信号とした請求項 1 の電流駆動型回路の終端制御方法。

【請求項 12】 前記終端回路の制御信号を、前記電流駆動型信号とは異なる TTL 信号とした請求項 1 の電流駆動型回路の終端制御方法。

【請求項 13】 電流駆動型の信号の受け渡しを双方向に行う電流駆動型回路の終端制御方法であって、前記電流駆動型信号を送信する電流駆動型回路から該電流駆動型信号を受信する電流駆動型回路へ向かう方向が第 1 の方向の場合、前記電流駆動型信号の受け渡しを双方向に行う双方向バスの一端に接続された第 1 の電流駆動型回路においてのみ終端回路を接続し、且つ、他の全ての電流駆動型回路において終端回路を切り離し、前記電流駆動型信号を送信する電流駆動型回路から該電流駆動型信号を受信する電流駆動型回路へ向かう方向が第 2 の方向の場合、前記電流駆動型信号の受け渡しを双方向に行う双方向バスの他端に接続された第 2 の電流駆動型回路においてのみ終端回路を接続し、且つ、他の全ての電流駆動型回路において終端回路を切り離すようにしたことを特徴とする電流駆動型回路の終端制御方法。

【請求項 14】 前記電流駆動型信号は ECL 信号であり、且つ、前記電流駆動型回路は ECL 回路であることを特徴とする請求項 13 の電流駆動型回路の終端制御方法。

【請求項 15】 前記電流駆動型信号は PCML 信号であることを特徴とする請求項 13 の電流駆動型回路の終端制御方法。

【請求項 16】 前記終端回路の接続および切り離し制御を、トランジスタを使用して行うようにした請求項 13 の電流駆動型回路の終端制御方法。

【請求項 17】 電流駆動型の信号の受け渡しを双方向に行う電流駆動型回路の終端制御装置であって、前記電流駆動型信号の受け渡しを双方向に行う双方向バスと、該双方向バスに接続された複数の電流駆動型回路と、該電流駆動型回路に設けられた複数の終端回路と、前記電流駆動型信号を受信する電流駆動型回路だけ前記終端回路を接続する終端回路接続手段と、前記電流駆動型信号を出力する電流駆動型回路および該電流駆動型信号の受け渡しに関与しない電流駆動型回路の全てにおいて、前記終端回路を切り離す終端回路切り離手段とを具備する電流駆動型回路の終端制御装置。

【請求項 18】 前記電流駆動型信号は ECL 信号であり、且つ、前記電流駆動型回路は ECL 回路であることを特徴とする請求項 17 の電流駆動型回路の終端制御装置。

【請求項 19】 前記電流駆動型信号は PCML 信号であることを特徴とする請求項 17 の電流駆動型回路の終端制御装置。

【請求項 20】 前記終端回路接続手段および前記終端

3

回路切離手段は、それぞれトランジスタを具備している請求項 17 の電流駆動型回路の終端制御装置。

【請求項 21】 前記電流駆動型信号を受信する電流駆動型回路は 1 つであり、前記終端回路接続手段は該 1 つの電流駆動型回路における終端回路を接続するようにしたことを特徴とする請求項 17 の電流駆動型回路の終端制御装置。

【請求項 22】 前記電流駆動型信号を受信する電流駆動型回路は複数であり、前記終端回路接続手段は該複数の電流駆動型回路における各終端回路をそれぞれ接続するようにしたことを特徴とする請求項 17 の電流駆動型回路の終端制御装置。

【請求項 23】 前記終端回路は、抵抗手段および容量手段を具備し、該終端回路を接続することで前記電流駆動型信号を受信する電流駆動型回路における該電流駆動型信号の振幅を所定の範囲に規定するようにしたことを特徴とする請求項 17 の電流駆動型回路の終端制御装置。

【請求項 24】 前記抵抗手段は、第 1 の抵抗手段および第 2 の抵抗手段を具備し、該第 1 の抵抗手段の一端は前記双方向バスに接続され、該第 1 の抵抗手段の他端は前記第 2 の抵抗手段の一端および前記容量手段の一端に接続され、そして、該第 2 の抵抗手段の他端および該容量手段の他端は前記終端回路接続手段または前記終端回路切離手段を介して電源線に接続されていることを特徴とする請求項 23 の電流駆動型回路の終端制御装置。

【請求項 25】 電流駆動型の信号の受け渡しを双方向にて行う電流駆動型回路の終端制御装置であって、前記電流駆動型信号の受け渡しを双方向にて行う双方向バスと、

該双方向バスの一端に接続された第 1 の電流駆動型回路と、

該第 1 の電流駆動型回路に設けられた第 1 の終端回路と、

前記双方向バスの他端に接続された第 2 の電流駆動型回路と、

該第 2 の電流駆動型回路に設けられた第 2 の終端回路と、

前記第 1 の電流駆動型回路および前記第 2 の電流駆動型回路の間において、前記双方向バスに接続された複数の第 3 の電流駆動型回路と、

前記電流駆動型信号を送信する電流駆動型回路から該電流駆動型信号を受信する電流駆動型回路へ向かう方向

が、前記第 1 の電流駆動型回路から前記第 2 の電流駆動型回路に向かう方向に一致する場合、前記第 2 の終端回路を接続すると共に、前記第 1 の終端回路を切り離すように制御する第 1 の終端回路制御手段と、

前記電流駆動型信号を送信する電流駆動型回路から該電流駆動型信号を受信する電流駆動型回路へ向かう方向

が、前記第 2 の電流駆動型回路から前記第 1 の電流駆動

4

型回路に向かう方向に一致する場合、前記第 1 の終端回路を接続すると共に、前記第 2 の終端回路を切り離すように制御する第 2 の終端回路制御手段とを具備することを特徴とする電流駆動型回路の終端制御装置。

【請求項 26】 前記電流駆動型信号は ECL 信号であり、且つ、前記電流駆動型回路は ECL 回路であることを特徴とする請求項 25 の電流駆動型回路の終端制御装置。

【請求項 27】 前記電流駆動型信号は P C M L 信号であることを特徴とする請求項 25 の電流駆動型回路の終端制御装置。

【請求項 28】 前記第 1 および第 2 の終端回路制御手段は、それぞれトランジスタを具備している請求項 25 の電流駆動型回路の終端制御装置。

【請求項 29】 前記終端回路は、抵抗手段および容量手段を具備し、該終端回路を接続することで前記電流駆動型信号を受信する電流駆動型回路における該電流駆動型信号の振幅を所定の範囲に規定するようにしたことを特徴とする請求項 25 の電流駆動型回路の終端制御装置。

【請求項 30】 前記抵抗手段は、第 1 の抵抗手段および第 2 の抵抗手段を具備し、該第 1 の抵抗手段の一端は前記双方向バスに接続され、該第 1 の抵抗手段の他端は前記第 2 の抵抗手段の一端および前記容量手段の一端に接続され、そして、該第 2 の抵抗手段の他端および該容量手段の他端は前記終端回路接続手段または前記終端回路切離手段を介して電源線に接続されていることを特徴とする請求項 29 の電流駆動型回路の終端制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電流駆動型回路の終端制御方法および装置に関し、特に、ECL (Emitter Coupled Logic) 信号および P C M L (Pseudo Current Mode Logic) 信号等の電流駆動型信号を双方向で送受信する電子回路全般における電流駆動型回路の終端制御方法および装置に関する。

【0002】近年、1つの集積回路として構成することのできる回路規模の増大に伴って、入出力ピンを共用して該入出力ピンの数を削減することが必要となってきている。そして、ECL 信号を使用する回路においても二重或いは多重終端制御を行う場合でも、正常な振幅でデータ転送を行うことが要望されている。

【0003】

【従来の技術】図 11 は従来の電流駆動型回路における終端部の回路例を示す図である。同図において、参照符号 I C-1、I C-2 はデータの転送を行う ECL 回路、R1、R2 は抵抗、C1 は容量 (コンデンサ)、T C は終端回路、そして、I L はインピーダンスライン (例えば、75Ω のストリップラインまたは同軸ケーブル等) を示している。

【0004】図11に示す終端部（終端回路）TCは、インピーダンスラインILとの整合を取るためのもので、抵抗R1、R2および容量C1で構成され、該終端回路TCは受信側のECL回路IC-2に対してだけ設けられている。すなわち、一方（図11中の左側）のECL回路IC-1からインピーダンスラインILを介して他方（図11中の右側）のECL回路IC-2へデータ（DATA）を一方に伝える場合、終端回路TCはデータを受け取る側のECL回路IC-2に対してだけ設けられている。ここで、終端回路TCにおいて、抵抗R1およびR2はデータを受け取る側のECL回路IC-2が接続されるインピーダンスラインILと第1の電源線VEE（＝－5.2ボルト）との間に直列に接続され、また、容量C1は抵抗R1およびR2の接続箇所と第2の電源線VCC（＝0ボルト）との間に接続されている。

【0005】図12は電流駆動型回路としてのECL回路の一例を示す回路図であり、具体的に、OR/NOR（オア／ノア）ゲートの例を示すものである。同図に示されるように、ECL回路のOR/NORゲートは、複数のNPN型バイポーラトランジスタTR-101～TR-107、および、抵抗R101～R106で構成されている。ここで、図12において、参照符号AおよびBはOR/NORゲートの入力を示し、Vrefは基準電圧を示し、また、Xはオア出力、XBはノア出力を示している。尚、ECL信号の振幅としては、例えば、高レベル“H”が－0.8ボルト、低レベル“L”が－1.8ボルトで振幅が1.0ボルトとなっている。そして、終端回路（TC）は、受信側の電流駆動型回路（ECL回路）における電流駆動型信号（ECL信号）のレベルを、例えば、－1.3ボルトを中心（スレッシュホールド電圧）として、1.0ボルトの振幅を有するように規定するためのものである。また、近年、より一層の高速化を実現するためのPCML（Pseudo Current Mode Logic）信号も利用されるようになって来ており、該PCMLでは、0.4ボルトおよび0.8ボルトの2種類の振幅があり、共にスレッシュホールド電圧は＋1.6ボルトおよび＋2.0のものがある。

【0006】図13は関連技術としての二重終端を適用した電流駆動型回路の回路例を示す図である。同図において、参照符号IC-1～IC-4はデータの送受信を行うECL回路、R1～R2は抵抗、C1、C2は容量、TC-1、TC-2は終端回路、そして、ILは、例えば、75Ωのストリップラインまたは同軸ケーブル等のインピーダンスライン（双方向バス）を示している。

【0007】図13に示す二重終端は、ECL回路IC-3（図13中の右側）からインピーダンスラインILを介してECL回路IC-1（図13中の左側）へデータを伝え、共に、ECL回路IC-2（図13中の左側）からインピーダンスラインILを介してECL回路IC-4（図13中の右側）へもデータを伝える双方向用のものである。ここで、終端回路TC-1、TC-2を、双方向で

データ転送を行う両方のECL回路IC-1、IC-2のそれぞれに設けられている。

【0008】図13に示す二重終端回路では、例えば、ECL回路IC-3（IC-2）の出力トランジスタ（出力段）のエミッタから見たインピーダンスは、抵抗R1～R4および容量C1、C2が全て接続されているため、該インピーダンスの値は小さくなり、エミッタ電流は大きくなる。具体的に、図12に示すようなOR/NORゲートがECL回路IC-3であり、該OR/NORゲート（IC-3）の出力（オア出力X）をインピーダンスラインILを介してECL回路IC-1に伝える場合、出力トランジスタ（オア出力Xの出力段トランジスタ）TR-105のエミッタから見たインピーダンスが小さくなる。これにより、該出力トランジスタTR-105のベースに接続された抵抗R105による出力電圧の低下の影響が現出することになり、特に、高レベル“H”のレベルが低下してECL信号（PCML信号）の振幅が小さくなって正確なデータ転送を行えない場合も考えられるようになる。

【0009】図14は関連技術としての多重終端を適用した電流駆動型回路の回路例を示す図であり、例えば、ECL信号出力が繋がっている複数の入力を選択して転送するアドレス・データバスにおける多重終端（多重終端回路）を示している。同図において、参照符号IC-1～IC-nはデータの送受信を行うECL回路、R01、R02～Rn1、Rn2は抵抗、C1～Cnは容量、ILはインピーダンスライン、そして、TC-1～TC-nは抵抗R01、R02～Rn1、Rn2および容量C1～Cnで構成される終端回路を示している。

【0010】図14に示す多重終端（多重終端回路）は、ECL回路IC-0～IC-nの任意の1つのECL回路と他の任意の1つのECL回路との間で双方向のデータ転送を行うためのもので、例えば、双方向バス（インピーダンスライン）ILにおける終端回路（多重終端回路）である。図14に示す多重終端回路では、例えば、ECL回路IC-0（IC-0～IC-nの任意の1つ）の出力段のエミッタから見たインピーダンスは、各ECL回路IC-0～IC-nにそれぞれ設けられた終端回路TC-1～TC-nが全て双方向バスに接続されているため、すなわち、抵抗R01、R02～Rn1、Rn2および容量C0～Cnが全てインピーダンスラインILに接続されているために、上述した二重終端の場合よりもさらにインピーダンスは小さくなり、エミッタ電流は一層大きくなる。具体的に、図12に示すようなOR/NORゲートがECL回路IC-0であり、該OR/NORゲート（IC-0）の出力（オア出力X）をインピーダンスラインILを介してECL回路IC-nに伝える場合、出力トランジスタ（オア出力Xの出力段トランジスタ）TR-105のエミッタから見たインピーダンスは図13に示す二重終端の場合よりもさらに小さくなる。これにより、該出力トランジスタTR-105のベースに接続された抵抗R105による出力電圧の低

7

下の影響が一層深刻なものとなる。

【0011】

【発明が解決しようとする課題】 上述した図13に示す二重終端回路においては、例えば、ECL回路IC-3の出力段のエミッタ（例えば、図12の出力トランジスタTR-105のエミッタ）から見たインピーダンスが小さくなって、エミッタ電流が大きくなる。そして、例えば、ECL回路IC-3の出力段のエミッタ電流が余り大きくなると、該出力トランジスタ（TR-105）のベースからエミッタに電流が流れ込むようになってベース電位が下がり、その結果、特に、高レベル“H”のレベルが低下して電流駆動型信号（ECL信号、PCML信号）の振幅が小さくなる。この電流駆動型信号の振幅の低下は、例えば、終端抵抗の値を通常よりも若干大きく設定することで解消できる場合があるが、その最適値を選定するためには、計算、シミュレーションおよび実験等を行わなければならない。さらに、上記抵抗値を大きく設定し過ぎると、十分なエミッタ電流が得られず電流駆動型信号の振幅を正常な範囲に規定することが困難になる。

【0012】 同様に、上述した図14に示す多重終端回路においては、例えば、ECL回路IC-0の出力段のエミッタ（例えば、図12の出力トランジスタTR-105のエミッタ）から見たインピーダンスは、図13に示す二重終端の場合よりもさらに一層小さくなり、エミッタ電流はさらに大きなものとなる。このような場合、終端抵抗値の変更だけでは対処できないこともあり、出力インピーダンスの低下に伴うエミッタ電流の増加によって、電流駆動型信号（ECL信号、PCML信号）の振幅の低下だけでなく、最悪の場合には該ECL回路の出力段にダメージを与える恐れもある。

【0013】 本発明は、上述した従来の電流駆動型回路の終端制御技術が有する課題に鑑み、双方向の送受信を行う際に、簡単な終端切替制御を行うことによって、電流駆動型回路の出力段のインピーダンス低下をなくし、正常な振幅による電流駆動型信号の伝達を行わせることを目的とする。

【0014】

【課題を解決するための手段】 図1は本発明に係る電流駆動型回路の終端制御装置の原理構成を示すブロック図である。本発明によれば、電流駆動型の信号の受け渡しを双方向にて行う3電流駆動型回路の終端制御方法であって、第1の電流駆動型回路1から前記電流駆動型信号を送信して第2の電流駆動型回路2で前記送信された信号を受信する場合、該受信側における終端回路21だけを接続し(22)、該受信側の終端回路以外の終端回路11を切り離す(12)ようにしたことを特徴とする電流駆動型回路の終端制御方法が提供される。

【0015】

【作用】 本発明の電流駆動型回路の終端制御方法によれば、第1の電流駆動型回路1から電流駆動型信号を送信

8

して第2の電流駆動型回路2で送信された信号を受信する場合、スイッチ手段22をオン制御して受信側における終端回路21だけを接続し、且つ、スイッチ手段12をオフ制御して受信側の終端回路以外の終端回路11を切り離すようになっている。

【0016】 すなわち、受信側の第2の電流駆動型回路2ではスイッチ手段22により終端回路21が接続され、送信側の第1の電流駆動型回路1ではスイッチ手段12により終端回路11が切り離されるようになっている。これにより、電流駆動型回路の終端制御方法によれば、簡単な終端切替制御を行うことによって、電流駆動型回路の出力段のインピーダンス低下をなくし、正常な振幅による電流駆動型信号の伝達を行わせることができる。

【0017】

【実施例】 以下、図面を参照して本発明に係る電流駆動型回路の終端制御装置の実施例を説明する。図2は本発明の電流駆動型回路の終端制御装置の一実施例を示す回路図である。同図において、参照符号IC-1～IC-4はデータの送受信を行うECL回路、IC-5'はバッファアンプ、IC-6'はインバータ、そして、R0～R14は抵抗を示している。また、参照符号C1、C2は容量（コンデンサ）、ILはインピーダンスライン（例えば、75Ω）、NAND1およびNAND2はナンドゲート、そして、D1、D2はダイオードを示している。

【0018】 図2に示す終端回路（二重終端装置）は、ECL回路IC-3（図2中の右側）からインピーダンスラインILを介してECL回路IC-1（図2中の左側）へデータを伝えると共に、ECL回路IC-2（図2中の左側）からインピーダンスラインILを介してECL回路IC-4（図2中の右側）へもデータを伝える双方向用のものである。

【0019】 図2に示す二重終端装置では、例えば、ECL回路IC-2からインピーダンスラインILを介してECL回路IC-4へデータを転送する場合には、終端切り替え信号SSにより、最終終端部であるブロックBL-2（ECL回路IC-4、IC-3：図2中の右側）だけを終端し、該最終終端部以外の終端部であるブロックBL-1（ECL回路IC-1、IC-2：図2中の左側）では終端を切り離すようになっている。ここで、終端切り替え信号SSは直流の信号であるため、容量による交流のインピーダンス・マッチングを取る必要はなく、抵抗R12、R14を設けるだけでよい。尚、本実施例において、終端切り替え信号SSは、ECL回路IC-2およびIC-3へ供給するデータを制御するイネーブル信号をそのまま使用している。すなわち、イネーブル信号（終端切り替え信号SS）が高レベル“H”のときには、ナンドゲートNAND1に供給されるデータ信号がそのまま反転して出力され、また、ナンドゲートNAND2に供給されるデータ信号は出力されない（ナンドゲートNAND2の出力

が低レベル“L”に固定) になっている。一方、インピーダンスライン 1L を介して ECL 回路 IC-4 へデータを転送する場合、終端切替え信号 SS を高レベル“H”とする。これにより、PNP 型バイポーラトランジスタ TR-1 のベースには、バッファ IC-5' および抵抗 R6 を介して -0.8 V が印加されるが、トランジスタ TR-1 はベース・エミッタ間電圧 V_{BE} の電圧降下分を考慮するとダイオード D-1 に電流を流せるだけの電圧 (約 0.7 V) を印加することができない。そして、トランジスタ TR-1 はエミッタからベースに対して電流が流れずオフ状態となる。さらに、抵抗 R3, R5 にも電流が流れないため、NPN 型バイポーラトランジスタ TR-2 のベースには、-5.2 V (V_{EE}) が見えるので、該トランジスタ TR-2 もオフ状態となる。その結果、ブロック BL-1 (ECL 回路 IC-1, IC-2) では、抵抗 R1, R2 および容量 C1 で構成される終端回路 TC-1 が切り離される。このとき、ECL 回路 IC-2 の入力 (ナンドゲート NAND1 の出力) には、該ナンドゲート NAND1 に供給されるデータが反転されて供給され、該 ECL 回路 IC-2 からインピーダンスライン 1L を介して ECL 回路 IC-4 へデータが転送されることになる。

【0020】具体的に、例えば、ECL 回路 IC-2 からインピーダンスライン 1L を介して ECL 回路 IC-4 へデータを転送する場合、終端切替え信号 SS を高レベル“H”とする。これにより、PNP 型バイポーラトランジスタ TR-1 のベースには、バッファ IC-5' および抵抗 R6 を介して -0.8 V が印加されるが、トランジスタ TR-1 はベース・エミッタ間電圧 V_{BE} の電圧降下分を考慮するとダイオード D-1 に電流を流せるだけの電圧 (約 0.7 V) を印加することができない。そして、トランジスタ TR-1 はエミッタからベースに対して電流が流れずオフ状態となる。さらに、抵抗 R3, R5 にも電流が流れないため、NPN 型バイポーラトランジスタ TR-2 のベースには、-5.2 V (V_{EE}) が見えるので、該トランジスタ TR-2 もオフ状態となる。その結果、ブロック BL-1 (ECL 回路 IC-1, IC-2) では、抵抗 R1, R2 および容量 C1 で構成される終端回路 TC-1 が切り離される。このとき、ECL 回路 IC-2 の入力 (ナンドゲート NAND1 の出力) には、該ナンドゲート NAND1 に供給されるデータが反転されて供給され、該 ECL 回路 IC-2 からインピーダンスライン 1L を介して ECL 回路 IC-4 へデータが転送されることになる。

【0021】一方、ブロック BL-2 (ECL 回路 IC-3, IC-4) においては、終端切替え信号 SS がバッファ IC-5', インバータ IC-6' および抵抗 R13 (R12) を介して PNP 型バイポーラトランジスタ TR-3 のベースに印加される。すなわち、トランジスタ TR-3 のベースには、インバータ IC-6' により論理が反転された終端切替え信号 SS (-1.6 V) が入力される。そして、ダイオード D-2 には約 0.7 V の電圧が印加され、トランジスタ TR-3 のベース・エミッタ間電圧 V_{BE} にも該トランジスタ TR-3 をオンさせるだけの電圧 (約 0.7 V) が加えられ、トランジスタ TR-3 はオン状態となる。これにより、抵抗 R9, R11 に電流が流れ、NPN 型バイポーラトランジスタ TR-4 もオン状態となる。その結果、ブロック BL-2 (ECL 回路 IC-3, IC-4) では、抵抗 R7, R8 および容量 C2 で構成される終端回路 TC-2 が接続される。このとき、ECL 回路 IC-3 の入力 (ナンドゲート NAND2 の出力) は、低レベル“L”に固定されることになる。尚、抵抗 R6 および R13 は、トランジスタ TR-1 および TR-3 がオンした際のベースに流れる電流を制御するためのものである。尚、ECL 信号としては、例えば、高レベル“H”が -0.8 ボルト、低レベル“L”が -1.8 ボルトで振幅が 1.0 ボルトとなっている。そして、終端回路 (TC-1, TC-2) は、受信側の

電流駆動型回路 (ECL 回路) における電流駆動型信号 (ECL 信号) のレベルを、例えば、-1.3 ボルトを中心 (スレッシュホールド電圧) として、1.0 ボルトの振幅を有するように規定するためのものである。また、本発明では、より一層の高速化を実現するための P C M L 信号 (例えば、0.4 ボルトおよび 0.8 ボルトの 2 種類の振幅があり、スレッシュホールド電圧は +1.6 ボルトおよび +2.0 の信号) を扱う回路に対しても本発明をそのまま適用することができる。

【0022】次に、例えば、ECL 回路 IC-3 からインピーダンスライン 1L を介して ECL 回路 IC-1 へデータを転送する場合、終端切替え信号 SS を低レベル“L”とする。これにより、トランジスタ TR-1 はオン状態となり、トランジスタ TR-2 もオン状態となる。その結果、ブロック BL-1 (ECL 回路 IC-1, IC-2) では終端が接続される。このとき、ブロック BL-2 (ECL 回路 IC-3, IC-4) では、トランジスタ TR-3 および TR-4 がオフ状態となって、終端回路 TC-2 が切り離されることになる。

【0023】上述したように、本発明の電流駆動型回路の終端制御装置の一実施例によれば、出力される電流駆動型信号 (ECL 信号) の受信側 (最終終端部) だけ終端回路が接続され、電流駆動型信号を出力する側 (最終終端部以外) では終端回路が切り離される。これによって、電流駆動型回路の出力段のインピーダンス低下をなくし、正常な振幅でデータ転送を行わせることができる。

【0024】図 3 は本発明の電流駆動型回路の終端制御装置の他の実施例を示す回路図である。図 3 に示す終端制御装置は、図 2 に示す二重終端回路を双方向でデータ転送を行う複数対の ECL 回路 IC-11, IC-21; IC-12, IC-22; …; IC-1n, IC-2n に適用したものである。すなわち、図 3 に示す終端制御装置は、複数対の ECL 回路 IC-12, IC-22; …; IC-1n, IC-2n に対して、それぞれの終端に PNP 型バイポーラトランジスタ TR-12, TR-22; TR-13, TR-23; …; TR-1n, TR-2n を設け、各終端制御部 (BL-1 および BL-2 に対応) により終端回路 TC-11, TC-21; TC-12, TC-22; …; TC-1n, TC-2n の接続を制御するようになっている。ここで、ECL 回路 IC-11 および IC-21 の終端回路 TC-11 および TC-21 は、終端制御部 BL-1 および BL-2 により直接制御されるようになっている。そして、各一方の ECL 回路 IC-12, IC-13, …, IC-1n の終端を制御するトランジスタ TR-12, TR-13, …, TR-1n のベースには、第 1 の制御信号 (CSA) が供給され、また、各他方の ECL 回路 IC-22, IC-23, …, IC-2n の終端を制御するトランジスタ TR-22, TR-23, …, TR-2n のベースには、第 2 の制御信号 (CSB) が供給されている。

【0025】ここで、第 1 の制御信号 CSA は、図 2 の

二重終端回路における抵抗 R_2 とトランジスタ $TR-2$ のコレクタとの接続箇所から取り出され、また、第2の制御信号 CSB は、図2の二重終端回路における抵抗 R_8 とトランジスタ $TR-4$ のコレクタとの接続箇所から取り出されるようになっている。これにより、例えば、図2の二重終端回路におけるNPN型バイポーラトランジスタ $TR-2$ がオフ状態となって終端回路 $TC-11$ が切り離される場合（終端切替え信号 SS が高レベル“H”のとき）、第1の制御信号 CSA は高レベル“H”となって図3におけるPNP型バイポーラトランジスタ $TR-12$ 、 $TR-13$ 、…、 $TR-1n$ もオフ状態となってそれぞれ終端回路 $TC-12$ 、 $TC-13$ 、…、 $TC-1n$ も切り離される。

【0026】同様に、図2の二重終端回路におけるNPN型バイポーラトランジスタ $TR-4$ がオフ状態となって終端回路 $TC-21$ が切り離される場合（終端切替え信号 SS が低レベル“L”のとき）、第2の制御信号 CSB は高レベル“H”となって図3におけるPNP型バイポーラトランジスタ $TR-22$ 、 $TR-23$ 、…、 $TR-2n$ もオフ状態となってそれぞれ終端回路 $TC-22$ 、 $TC-23$ 、…、 $TC-2n$ も切り離される。これにより、図2に示す二重終端回路を、図3に示すような双方向でデータ転送を行う複数対のECL回路 $IC-11$ 、 $IC-21$ ； $IC-12$ 、 $IC-22$ ；…； $IC-1n$ 、 $IC-2n$ に適用することができる。尚、第1および第2の制御信号 CSA 並びに CSB 、および、PNP型バイポーラトランジスタ $TR-12$ 、 $TR-22$ ； $TR-13$ 、 $TR-23$ ；…； $TR-1n$ 、 $TR-2n$ の構成は、他に様々な変形が可能であるというまでもない。

【0027】図4は本発明の電流駆動型回路の終端制御装置のさらに他の実施例を示す回路図であり、ECL信号バスにおける多重終端切替え制御を示すものである。本実施例は、例えば、アドレス／データバスのように、1つのECL出力に複数の入力がかかる双方向データ転送において、データを受信する入力部だけ終端回路を接続するような終端制御信号 $S\#M$ 、 $S\#1 \sim S\#n$ を生成することにより、最初もしくは途中での終端を切り離し、データを受信する入力部で正常な振幅を得るようにすることができる。ここで、例えば、ECL信号バス（ IL ）は、データ $D\#1 \sim D\#n$ を転送するための双方向のバスで、該双方向バス IL は各ブロック $BLOCK-M$ 、 $BLOCK-1 \sim BLOCK-n$ における全てのECL回路 $IC-M$ 、 $IC-1 \sim IC-n$ に接続されている。

【0028】ここで、例えば、1つのブロック $BLOCK-M$ （図4中の左側のブロック）がMPU（Micro Processing Unit）を備え、該ブロック $BLOCK-M$ が他のブロック $BLOCK-1 \sim BLOCK-n$ （図3中の右側のブロック）の各メモリに対してリード・ライトを行う場合、WE（ライト・イネーブル）、RE（リード・イネーブル）信号を用いて各ブロックの制御信号 $S\#1 \sim S\#n$ を生成して終端回路 $TC-1 \sim TC-n$ の接続を制御するようになっている。

【0029】図5は図4に示す終端制御装置における制

御信号を生成する回路の一例を示す図であり、ブロック $BLOCK-M$ およびブロック $BLOCK-1 \sim BLOCK-n$ の各メモリを制御する制御信号 $S\#M$ および $S\#1 \sim S\#n$ を生成する回路を示している。ここで、各ブロックへの終端制御信号 $S\#M$ 、 $S\#1 \sim S\#n$ は、全てMPUを有するブロック $BLOCK-M$ で生成されるようになっている。

【0030】図6および図7は図4に示す終端制御装置の動作を説明するためのタイミングチャートであり、図6はブロック $BLOCK-M$ から見たリードサイクルを示し、図7はブロック $BLOCK-M$ から見たライトサイクルを示している。尚、図6および図7において、参照符号 CS は、チップセレクト信号を示す。図6および図7において、各ブロックのデータ取り込みがRE信号またはWE信号の立ち上がりとなると、データはそのトリガより暫くの間、そのまま維持しておく必要がある。後述するように、図5の回路では、フリップ・フロップ $IC-40$ により1ビットシフトさせて使用できるようになっている。尚、必要に応じて、確定期間 $t-2$ を1ビット以上としてもよい。但し、読み出しサイクルおよび書き込みサイクルのアクセス処理の周期を考慮しなければならない。

【0031】ブロック $BLOCK-M$ から見たリードサイクルでは、ブロック $BLOCK-M$ 以外のブロック $BLOCK-1 \sim BLOCK-n$ の何れかからブロック $BLOCK-M$ にデータが入力されるが、この場合には、該ブロック $BLOCK-M$ の終端回路 $TC-M$ （ $TC-M1 \sim TC-ML$ ）を接続し、且つ、他のブロック $BLOCK-1 \sim BLOCK-n$ の終端回路 $TC-1 \sim TC-n$ を切り離すような終端制御信号 $S\#M$ 、 $S\#1 \sim S\#n$ が生成される。具体的には、これら終端制御信号の生成には、図5に示されるように、フリップ・フロップ（ $IC-40$ ）によりRE信号（リード・イネーブル信号）をシフトした信号を用いる。すなわち、RE信号は、ローアクティブの信号で、フリップ・フロップ $IC-40$ により1ビットシフトさせて使用できるようになっている。ここで、データの終端制御信号のためにRE信号を1ビットシフトするのは、MPU側の保持時間（ホールドタイム）を稼ぐためであり、該保持時間が零の場合には、RE信号をシフトする必要はない。また、ブロック $BLOCK-1 \sim BLOCK-n$ の内、どのブロックにリードを行うかを選択しているのがBCD10進デコーダ（負論理） $IC-30$ である。尚、図5においては、各信号線、例えば、WE信号やRE信号、或いは、ECL回路 $IC-10$ からECL回路 $IC-20$ に供給されるアドレス信号線等にも、それぞれ終端回路が接続されている。

【0032】図4および図5に示されるように、アドレスバスの中のブロック選択信号からアクセスするブロックをデコーダ $IC-30$ でデコード（負論理）し、WE信号（ライト・イネーブル信号）との論理和を取る論理回路（オアゲート回路） $IC-60$ を介して、アドレス／データの終端制御を行う終端制御信号 $S\#1 \sim S\#n$ が生成される。ここで、終端制御信号 $S\#1 \sim S\#n$ は、全て低レベ

ル“L”の信号とされ、これにより、ブロックBLOCK-1～BLOCK-nの全ての終端回路TC-1～TC-nは切り離されることになる。また、リードするブロックBLOCK-Mの終端制御信号S#1は、低レベル“L”とされ、これにより、データバスはデータが転送されるブロックBLOCK-Mにおいてのみ終端回路TC-mが接続される。すなわち、ECL信号の最終終端部（ブロックBLOCK-Mだけ終端され、その他のブロック（BLOCK-1～BLOCK-n:最終終端部以外の終端部）では終端が切り離されることになる。また、アクセスされるブロック側のMPUもしくはメモリの保持時間を考慮して、フリップ・フロップIC-50により終端制御信号S#Mを、期間t-1から1ビットシフト(t-2)させて、低レベル“L”となる期間を(t-1)+(t-2)とするようになっている。

【0033】次に、ブロックBLOCK-Mから見たライトサイクルでは、ブロックBLOCK-M側からブロックBLOCK-M以外のブロックBLOCK-1～BLOCK-nの何れかのブロックにデータが出力されるが、この場合には、ブロックBLOCK-Mの終端を切り離し、データが供給されるブロックBLOCK-1～BLOCK-nの何れかのブロックのみの終端を接続することになる。すなわち、ブロックBLOCK-Mの終端制御部に供給される終端制御信号S#Mは高レベル“H”の信号とされ、ブロックBLOCK-1～BLOCK-nの内CS信号（チップセレクト信号）により選択された所定のブロックに供給される終端制御信号だけが低レベル“L”の信号とされ、これにより、データが転送されるブロックの終端回路のみが接続されることになる。ここで、WE信号はライトサイクルが実行されている間、低レベル“L”である必要がある（MPUによっては、若干異なる場合がある）。また、アクセスされるブロック側のMPUもしくはメモリの保持時間を考慮して、フリップ・フロップIC-50により終端制御信号S#Mを、期間t-1から1ビットシフト(t-2)させて、低レベル“L”となる期間を(t-1)+(t-2)とするようになっている。尚、アドレスバスに関しては、リードサイクルおよびライトサイクル共に、ブロックBLOCK-M側から転送されるので、最終入力になるブロックにおいて、固定的に終端回路を接続してもよい。

【0034】図8は図2に示す終端制御装置の変形例を示す図である。同図から明かなように、本変形例では、終端部を切り替える信号（終端制御信号）としては、上述したECL信号だけでなく、TTL信号を使用することができる。すなわち、例えば、TTL信号の高レベル“H”(=5V)は、バッファIC-300を介して、抵抗R6'およびR7'による電圧降下分でECL信号レベルにシフトしてPNP型バイポーラトランジスタTR-1のベースに印加されるようになっている。これにより、TTL信号でも終端制御部を制御することができることになる。

【0035】以上のように、上記各実施例によれば、E

C L信号でのデータの送り取りを双方向にて行う場合、送信側および受信側の終端を制御することにより、出力されたECL信号を受信する回路（最終終端部）のみ終端回路を接続し、他の回路では終端回路を切り離すことによって、ECL信号の複数終端における出力レベルの変動を防止して、正常な振幅でデータ転送を行うことができる。また、終端部をバスに関して共用化することができるため、回路規模の削減を図ることができる。さらに、終端制御信号としては、ECLレベルの信号だけでなく、TTLレベルの信号も使用することができ、様々な信号を終端制御信号として使用することができる。

【0036】図9は本発明の電流駆動型回路の終端制御装置の他の形態の一実施例を示す回路図である。図9に示されるように、本実施例では、双方向のバス（インピーダンスライン）ILの両端に設けたブロックBLOCK-1およびBLOCK-4に対してだけ終端回路TC-10、TC-40と終端制御部BL-10、BL-40とを設けるようになっている。そして、各ブロックBLOCK-1～BLOCK-4には、電流駆動型の信号（ECL信号）の受け渡しの方向を識別する信号識別回路SD-1～SD-4を設けるようになっている。すなわち、双方向バスILに対して、ブロックBLOCK-1とBLOCK-4との間に一するブロックBLOCK-2、BLOCK-3には、ECL回路IC-2、IC-3および信号識別回路SD-2、SD-3が設けられ、終端回路および終端制御部を省略するようになっている。

【0037】そして、転送されるデータ（電流駆動型信号）の方向が、ECL回路IC-4からIC-1へ向かう方向（ブロックBLOCK-4からBLOCK-1へ向かう方向：第1の方向）の場合には、ブロックBLOCK-1における終端回路TC-10だけが接続され、また、転送されるデータの方向が、ECL回路IC-1からIC-4へ向かう方向（ブロックBLOCK-1からBLOCK-4へ向かう方向：第2の方向）の場合には、ブロックBLOCK-4における終端回路TC-40だけが接続される。具体的に、ECL回路IC-4からIC-3～IC-1の何れかにデータが転送される場合、ECL回路IC-3からIC-2またはIC-1へデータが転送される場合、および、ECL回路IC-2からIC-1へデータが転送される場合には、各ブロックBLOCK-1～BLOCK-4に設けられた信号方向識別回路SD-1～SD-4は、データが第1の方向に転送されたことを識別してブロックBLOCK-1の終端制御部BL-10に制御信号を供給し、終端回路TC-10を接続する。一方、ECL回路IC-1からIC-2～IC-4の何れかにデータが転送される場合、ECL回路IC-2からIC-3またはIC-4へデータが転送される場合、および、ECL回路IC-3からIC-4へデータが転送される場合には、各ブロックBLOCK-1～BLOCK-4に設けられた信号方向識別回路SD-1～SD-4は、データが第2の方向に転送されたことを識別してブロックBLOCK-4の終端制御部BL-40に制御信号を供給し、終端回路TC-40を接続する。ここで、図9

では、4つのブロック BLOCK-1~BLOCK-4 が描かれているが、このブロック数は4つに限定されないというまでもない。

【0038】このように、図9に示す電流駆動型回路の終端制御装置では、例えば、図4の終端制御装置に比較して、終端回路(TC)および終端制御回路(BL)を全てのブロックに設ける必要がなく、また、該終端制御回路を制御するための信号線を削減することが可能となる。図10は図9の電流駆動型回路の終端制御装置の変形例を示す回路図である。図10に示す変形例では、図9と同様に、双方向バスILの両端に設けたブロックBLOCK-1およびBLOCK-4に対してだけ終端回路TC-10、TC-40と終端制御部BL-10、BL-40とを設けるようになってい

【0039】本変形例では、各ブロックBLOCK-1~BLOCK-4に設けられた入出力回路(I/O回路)IO-1~IO-4を介してMPU10から転送されるデータ(電流駆動型信号)の方向が供給されるようになっている。具体的に、ECL回路IC-4からIC-3~IC-1の何れかにデータが転送される場合、ECL回路IC-3からIC-2またはIC-1へデータが転送される場合、および、ECL回路IC-2からIC-1へデータが転送される場合には、MPU10から終端制御部BL-10に制御信号が供給されて終端回路TC-10を接続する。一方、ECL回路IC-1からIC-2~IC-4の何れかにデータが転送される場合、ECL回路IC-2からIC-3またはIC-4へデータが転送される場合、および、ECL回路IC-3からIC-4へデータが転送される場合には、MPU10から終端制御部BL-10に制御信号が供給されて終端回路TC-10を接続する。

【0040】上述した図10に示す電流駆動型回路の終端制御装置では、例えば、図4の終端制御装置に比較して、終端回路(TC)および終端制御回路(BL)を全てのブロックに設ける必要がなく、また、該終端制御回路を制御するための信号線をも不要となり、さらに、図9における信号方向識別回路(SD)も不要となり、より一層回路を簡略化することができる。

【0041】

【発明の効果】以上、詳述したように、本発明の電流駆動型回路の終端制御方法および装置によれば、双方向の送受信を行う際に、簡単な終端切り替え制御を行うことによって、電流駆動型回路の出力段のインピーダンス低下をなくし、正常な振幅による電流駆動型信号の伝達を行わせることができる。

【図面の簡単な説明】

【図1】本発明に係る電流駆動型回路の終端制御装置の原理構成を示すブロック図である。

【図2】本発明の電流駆動型回路の終端制御装置の一実

施例を示す回路図である。

【図3】本発明の電流駆動型回路の終端制御装置の他の実施例を示す回路図である。

【図4】本発明の電流駆動型回路の終端制御装置のさらに他の実施例を示す回路図である。

【図5】図4に示す終端制御装置における制御信号を生成する回路の一例を示す図である。

【図6】図4に示す終端制御装置の動作を説明するためのタイミングチャート(その1)である。

10 【図7】図4に示す終端制御装置の動作を説明するためのタイミングチャート(その2)である。

【図8】図2に示す終端制御装置の変形例を示す図である。

【図9】本発明の電流駆動型回路の終端制御装置の他の形態の一実施例を示す回路図である。

【図10】図9の電流駆動型回路の終端制御装置の変形例を示す回路図である。

【図11】従来の電流駆動型回路における終端部の回路例を示す図である。

20 【図12】関連技術としての二重終端を適用した電流駆動型回路の回路例を示す図である。

【図13】電流駆動型回路としてのECL回路の一例を示す回路図である。

【図14】関連技術としての多重終端を適用した電流駆動型回路の回路例を示す図である。

【符号の説明】

1…第1の電流駆動型回路

2…第2の電流駆動型回路

3…双方向バス(インピーダンスライン)

30 11, 21…終端回路

12, 22…スイッチ手段(終端回路接続手段、終端回路切り離し手段)

C1, C2; C; CM; C1 ~ Cn …容量(コンデンサ)

D1, D2 …ダイオード

IC-1~IC-4; IC-11, IC-21 ~ IC-1n, IC-2n;

IC-M, IC-1~IC-n…ECL回路

IC-5', IC-300…バッファ

IC-6', IC-M…インバータ

IC-30 …BCD10進デコーダ

40 IC-40, IC-50 …フリップ・フロップ

R0 ~ R14; R; RM1, RM2; R11, R12 ~ Rn1, Rn2 …抵抗

SS, S#M, S#1 ~ S#n…終端制御信号(終端切り替え信号)

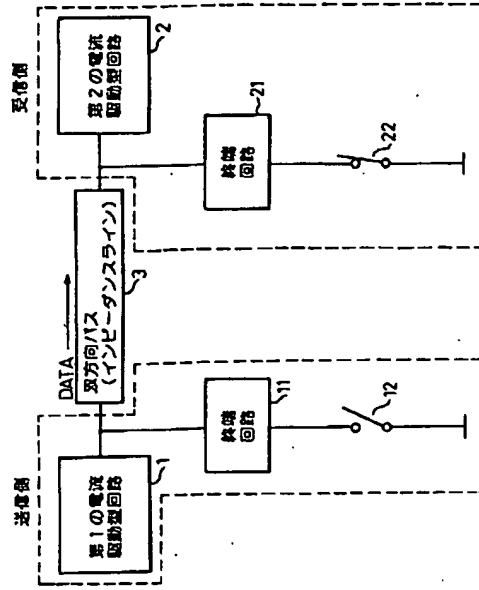
TR-2, TR-4…NPN型バイポーラトランジスタ

TR-1, TR-3; TR-11, TR-21 ~ TR-1n, TR-2n

…PNP型バイポーラトランジスタ

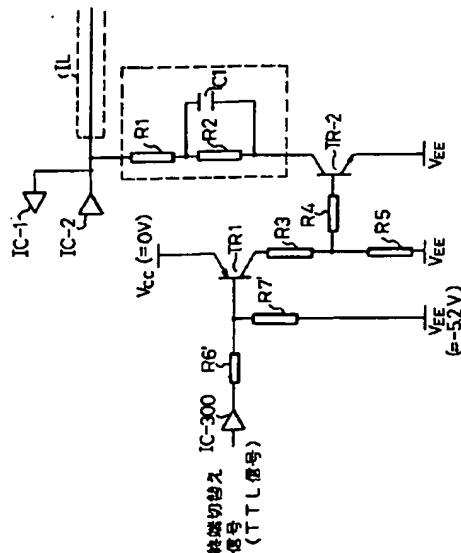
【図1】

本発明に係る電流駆動型回路の終端制御装置の原理構成を示すブロック図



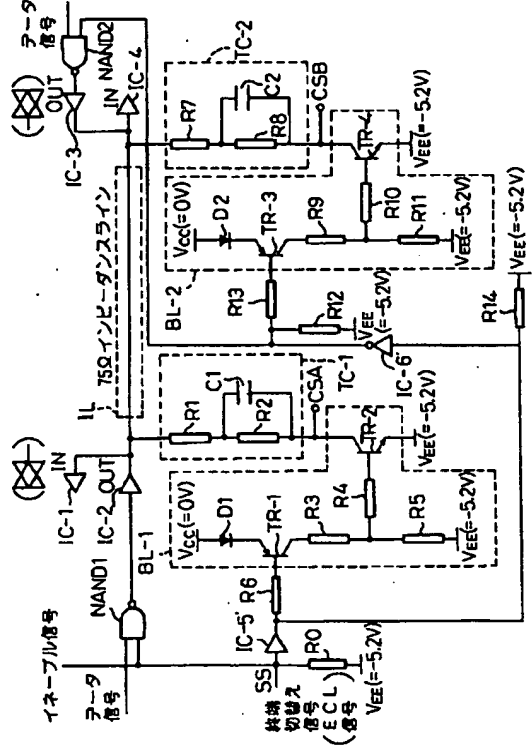
【図8】

図2に示す終端制御装置の実例を示す図



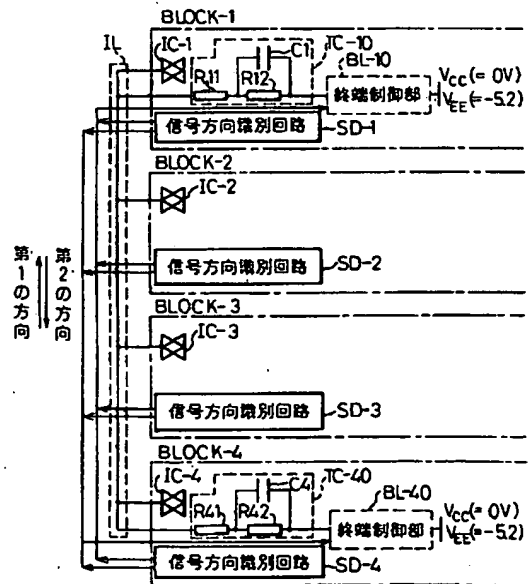
【図2】

本発明の電流駆動型回路の終端制御装置の一実施例を示す回路図



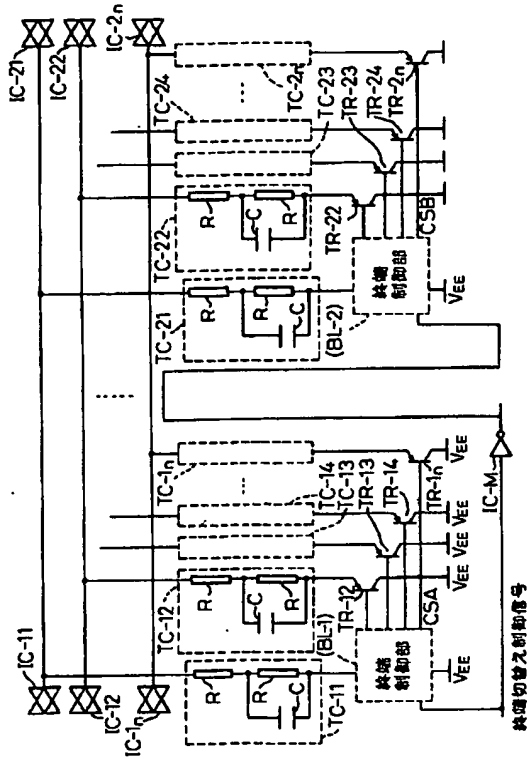
【図9】

本発明の電流駆動型回路の終端制御装置の他の形態の一実施例を示す回路図



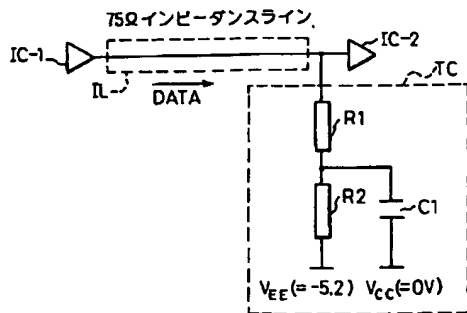
【図3】

本発明の電流駆動型回路の終端制御装置の他の実施例を示す回路図



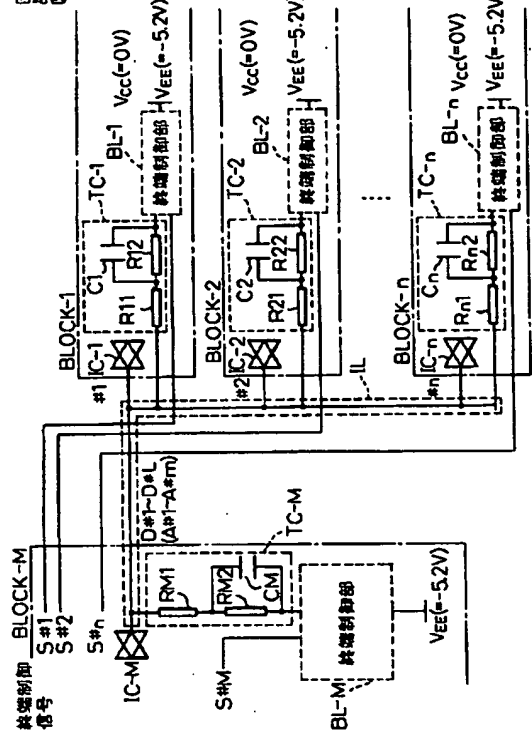
【図11】

従来の電流駆動型回路における終端部の回路例を示す図



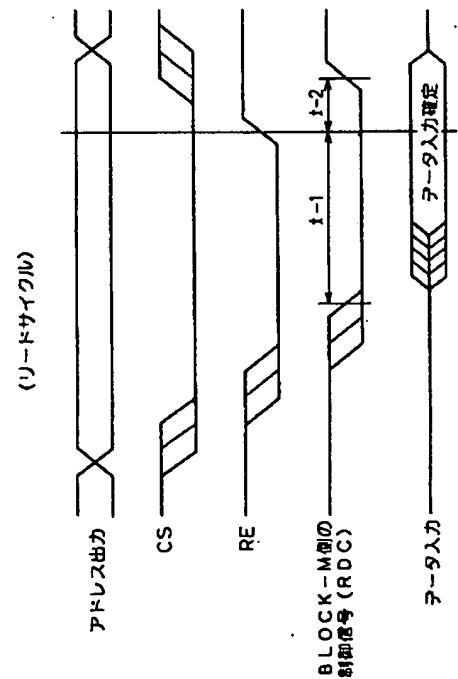
【図4】

本発明の電流駆動型回路の終端制御装置のさらに他の実施例を示す回路図



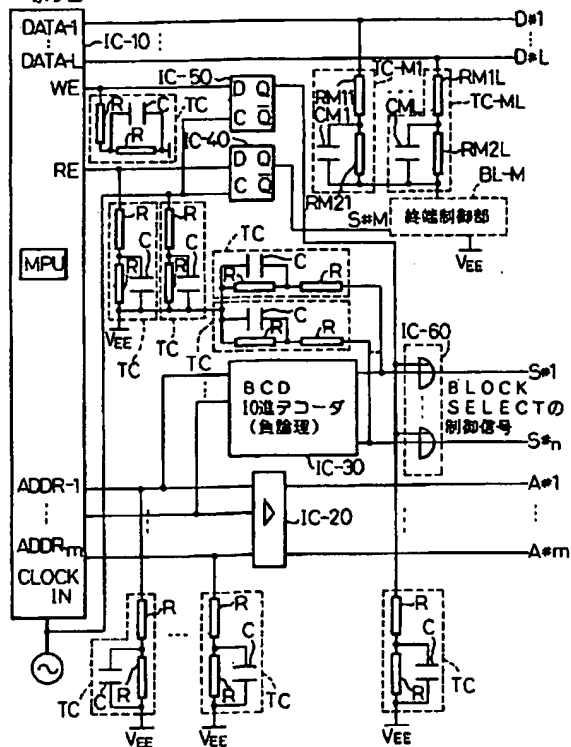
【図6】

図4に示す終端制御装置の動作を説明するためのタイミングチャート (その1)



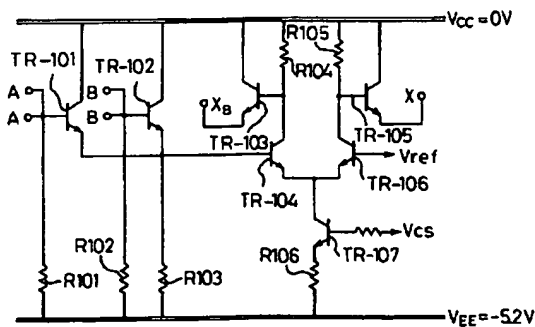
【図5】

図4に示す終端制御装置における制御信号を生成する回路の一例を示す図



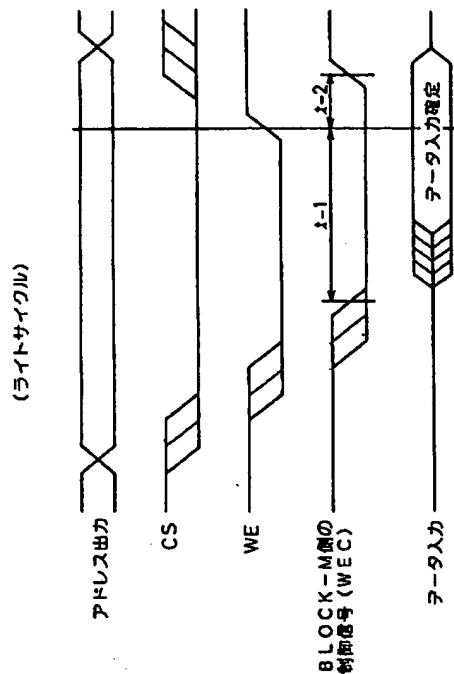
【図12】

電流駆動型回路としてのECL回路の一例を示す回路図



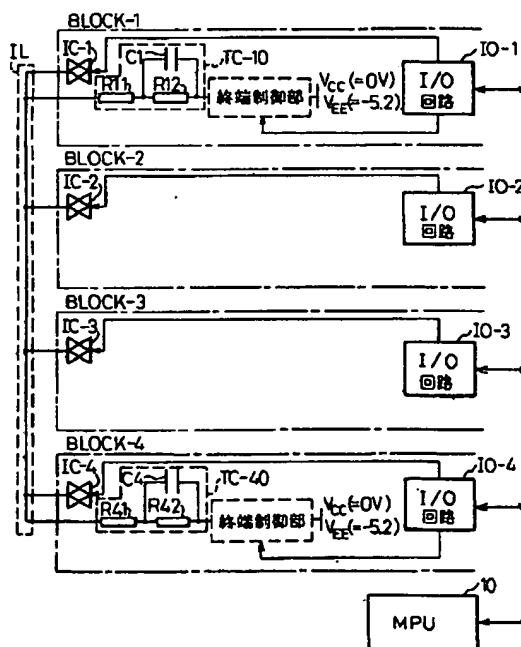
【図7】

図4に示す終端制御装置の動作を説明するためのタイミングチャート (その2)



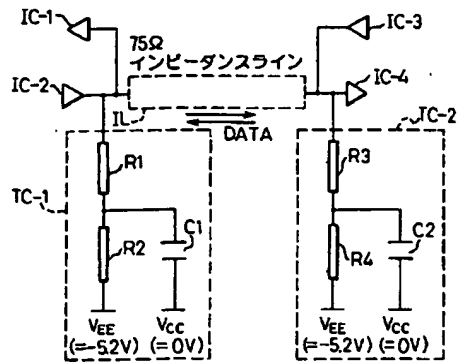
【図10】

図9の電流駆動型回路の終端制御装置の変形例を示す回路図



【図 13】

関連技術としての二重終端を適用した電流駆動型回路の回路例を示す図



【図 14】

関連技術としての多重終端を適用した電流駆動型回路の回路例を示す図

